

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-249306

(43)Date of publication of application : 05.10.1990

(51)Int.Cl.

H03K 5/00
G01D 3/04

(21)Application number : 01-069927

(71)Applicant : YOKOGAWA ELECTRIC CORP

(22)Date of filing : 22.03.1989

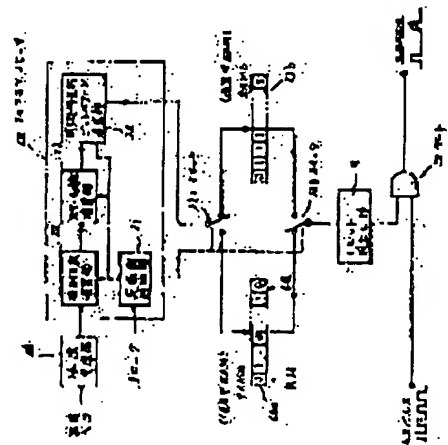
(72)Inventor : OTA KAZUFUMI

(54) RETRANSMISSION PULSE GENERATOR

(57)Abstract:

PURPOSE: To obtain a scaling output pulse without a period delay by thinning an input pulse and sending an output pulse subject to scaling based on an output of a 1-bit extraction section every time an input pulse comes.

CONSTITUTION: A microprocessor 20 applies correction coefficient arithmetic based on an external temperature input at a prescribed temperature input and updates a scale constant succeedingly. Then a time serial bit pattern for thinning is operated from the value of the scale constant obtained afterward and the value of the bit obtained during the arithmetic operation is sequentially stored in a RAM during the operation. The RAM during the arithmetic operation and a RAM in service are changed at a constant period by a switch 12a based on the control of a constant period control section 21. The time series bit pattern for thinning obtained by a preceding scale constant enters the RAM in use and the content is sequentially extracted from the head bit one by one bit each via a switch 12b from the 1-bit extraction section 11. Thus, there is not delay in the output pulse and the load of the microprocessor is relieved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-249306

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)10月5日

H 03 K 5/00
G 01 D 3/04F 7531-5 J
D 7809-2 F

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 再発信パルス発生装置

⑯ 特 願 平1-69927

⑰ 出 願 平1(1989)3月22日

⑱ 発 明 者 太 田 一 史 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
 ⑲ 出 願 人 横河電機株式会社 東京都武蔵野市中町2丁目9番32号
 ⑳ 代 理 人 弁理士 小沢 信助

明 細 書

1. 発明の名称

再発信パルス発生装置

2. 特許請求の範囲

(1) 受信したパルスをスケーリングして再発信する再発信パルス発生装置であって、

スケール定数から入力パルスを間引くための一定量の時系列ビットパターンを外部入力信号に対応して計算し、その時系列ビットパターンを出力する手段と、

前記時系列ビットパターンがそれぞれ格納される2つのRAMと、

前記RAMに記憶された時系列ビットパターンを先頭ビットから順次的に1ビットずつ引き出す1ビット引出し部と、

前記2つのRAMの内の一方のRAMが前記1ビット引出し部に使用されているときは他方のRAMが前記時系列ビットパターンで更新されるように、定周期で切り換えるスイッチ手段と、

入力パルスが来るたびに前記1ビット引出し部

の出力に基づいて入力パルスを間引き、スケーリングされた出力パルスを送出する手段とを具備したことを特徴とする再発信パルス発生装置。

(2) 受信したパルスをスケーリングして再発信する再発信パルス発生装置であって、

スケール定数から入力パルスを間引くための一定量の時系列ビットパターンを外部入力信号に対応して計算し、その時系列ビットパターンを出力すると共に、前記時系列ビットパターンの端数分を時系列ビットパターンの先頭に裏るたびに積算し、積算値が1パルスを越えると補正用のビットにセットする"1"を出力する手段と、

前記時系列ビットパターンおよび補正用のビットがそれぞれ格納される2つのRAMと、

前記RAMに記憶された時系列ビットパターンを先頭ビットから順次的に1ビットずつ引き出す1ビット引出し部と、

前記2つのRAMの内の一方のRAMが前記1ビット引出し部に使用されているときは他方のRAM

特開平2-248306(2)

RAMが前記時系列ビットパターンで更新されるように、定周期で切り換えるスイッチ手段と、

入力パルスが来るたびに前記1ビット引出し部の出力に基づいて入力パルスを間引き、スケールされた出力パルスを進出する手段とを具備したことを特徴とする再発信パルス発生装置。

3. 発明の詳細な説明

＜産業上の利用分野＞

本発明は、受信したパルスをスケールして再発信するパルス再発信機構の改善に関する。

＜従来の技術＞

従来より、受信したパルスをスケールして再発信するいわゆる再発信パルス発生装置がある。この種の装置において、再発信パルスは、スケータのようにスケール定数が固定の場合と、温度補正特のように補正係数が温度により変化することによりスケール定数が一定周期（秒単位）で変化する場合とがある。ここでは、後者の場合を取り扱う。

が、処理量およびコスト等においてそれには限界がある。

本発明の目的は、このような点に鑑みてなされたもので、入力パルスを間引く方式を採用し、遅れなしにスケールを行い、かつスケール定数が一定周期で変化する場合にも対応できる再発信パルス発生装置を提供することにある。

＜問題を解決するための手段＞

このような目的を達成するために、第1の発明は、

受信したパルスをスケールして再発信する再発信パルス発生装置であって、

スケール定数から入力パルスを間引くための一定量の時系列ビットパターンを外部入力信号に対応して計算し、その時系列ビットパターンを出力する手段と、

前記時系列ビットパターンがそれぞれ格納される2つのRAMと、

前記RAMに記憶された時系列ビットパターンを先頭ビットから順環的に1ビットずつ引き出す

第7図は従来の再発信パルス発生装置の一例を示す構成図である。入力パルスをカウンタ1でカウントし、マイクロプロセッサ2においてスケール定数を掛けて再発信パルス数を計算し〔この場合前回の計算で生じた端数余り（1パルス以下の値）を加算する〕、1パルス以上のパルス数になるとそのパルス数だけパルス出力回路3を通して出力する。スケール定数は、温度変換器4を介して得られる入力温度に対応して一定周期で変化する。

＜発明が解決しようとする課題＞

しかしながら、このような演算をマイクロプロセッサ2で行なうと、通常マイクロプロセッサは一定周期で処理するため、出力パルスは第8図に示すように入力パルスに対して1周期遅れることになり、制御系の中にこのような再発信パルス発生装置を用いた場合には制御が不安定になるという問題がある。

なお、マイクロプロセッサの処理問題を速くするには高速のマイクロプロセッサを用いればよい

1ビット引出し部と、

前記2つのRAMの内の一方のRAMが前記1ビット引出し部に使用されているときは他方のRAMが前記時系列ビットパターンで更新されるように、定周期で切り換えるスイッチ手段と、

入力パルスが来るたびに前記1ビット引出し部の出力に基づいて入力パルスを間引き、スケールされた出力パルスを進出する手段とを具備したことを特徴とする。

また、第2の発明は、

第1の発明における、スケール定数から入力パルスを間引くための一定量の時系列ビットパターンを外部入力信号に対応して計算し、その時系列ビットパターンを出力する手段と、2つのRAMとを、

スケール定数から入力パルスを間引くための一定量の時系列ビットパターンを外部入力信号に対応して計算し、その時系列ビットパターンを出力すると共に、前記時系列ビットパターンの端数分を時系列ビットパターンの先頭に変えるたびに積算

特開平2-249306(3)

し、演算値が1パルスを超えると補正用のビットにセットする“1”を出力する手段と、

時系列ビットパターンおよび補正用のビットがそれぞれ格納される2つのRAMとしたことを特徴とする、

＜作用＞

スケール定数から入力パルスを間引くための一定量の時系列ビットパターンを外部入力信号に対応して計算し、その時系列ビットパターンを入力パルスが到来するごとに1ビットずつ取り出し、ゲート手段においてそのビットの値に対応して入力パルスの通過あるいは通過禁止を制御することにより、周遅延のないスケール出力パルスを得る、

また、第2の発明では、更に時系列ビットパターンの端数を切り捨てることなく概算して補正するようにしたため、時系列ビットパターンのビット数が少なくても誤差の少ないスケール出力パルスを得ることができる、

＜実施例＞

基準クロックが入力される。マイクロプロセッサ20には、基準クロックを受けて各部を一定周期で制御する機能を有する定期制御部21と、温度変換器30の出力を受けて補正係数求める機能を有する補正係数演算部22と、補正係数演算部22の出力に応じてスケール定数を決定し一定周期で更新して出力する機能を有するスケール定数演算部23と、スケール定数より間引き時系列ビットパターンを求める機能を有する間引き時系列ビットパターン演算部24を有する、

この時系列ビットパターンは、前記スイッチ12aを通してRAMに格納されるが、RAMの一方が使用中のとき（1ビット引出し部11に出力されているとき）には、他方のRAMに格納されるように、定期制御部21によりスイッチが制御される、

このような構成における動作を次に説明する。マイクロプロセッサ20は、一定周期で外部の温度入力に基づいて補正係数演算を行うと共に、続いてスケール定数の更新を行なう、その後求めら

以下図面を参照して本発明を詳細に説明する、

第1図は本発明に係る再発信パルス発生装置の一実施例を示す構成図である。図において、10はゲートで、入力パルスを1ビット引出し部11の出力で間引き、スケールされた出力パルスを退出する。1ビット引出し部11は、スイッチ12aに切り換えられるメモリ（通常RAMが使用される）13aまたは13bの先頭ビットから順環的に順次1ビットずつ引出して出力するものである。なお、ここでは1ビット引出し部11に接続される方のRAMを使用中のRAM、他方は演算中のRAMと呼ぶ、

RAM13a、13bにはスイッチ12aを介してマイクロプロセッサ20からの出力が格納される、

スイッチ12a、12bは通断する切換えスイッチで、マイクロプロセッサ20により駆動される、

マイクロプロセッサ20へは、温度変換器30を介して電気信号に変換された温度入力の値と、

れたスケール定数の値から、第1表のように、間引き用の時系列ビットパターンの演算を行なう、この演算中求められたビットの値は演算中のRAMへ順次格納してゆく、なお、演算中のRAMと使用中のRAMは、定期制御部21の制御に基づきスイッチ12aにより互いに定期で入れ替わるようになっている、

第1表

（スケール定数が0.3の場合）

入力パルス	前回端数余り	時系列間引きパターン
1 パルス目	$0.3+0.3=0.6$	0
2 パルス目	$0.3+0.6=0.9$	0
3 パルス目	$0.3+0.9=1.2$	1
4 パルス目	$0.3+0.2=0.5$	0
5 パルス目	$0.3+0.5=0.8$	0
6 パルス目	$0.3+0.8=1.1$	1
7 パルス目	$0.3+0.1=0.4$	0
8 パルス目	$0.3+0.4=0.7$	0
9 パルス目	$0.3+0.7=1.0$	1

特開平2-249306(4)

一方、使用中のRAMには前回のスケール定数により求められた間引き用時系列ビットパターンが入っており、その内容は1ビット引出し部11によりスイッチ12bを介して先頭ビットから1ビットずつ順次引き出される。

RAMのビット値等は、入力パルスが来るたびに（入力パルスの立ち下がり）で引き出され、そのビットが“1”のときのみ、第2図のタイムチャートに示すように入力パルスをそのままゲート10を通して出力する。このようにして間引かれたパルス（出力パルス）が得られる。

なお、RAMのビット数は、例えば10000程度で十分精度が出るように選ばれる。したがって、定周期で間引き用の時系列ビットパターンの更新が済むように定周期制御部での周期を選ぶ必要がある。

以上のように、間引き方式としたことにより出力パルスの遅れがなく、またスケール定数の更新周期中に間引きパターン演算が終わればよいのでマイクロプロセッサには大きな負荷とならない。

21の制御の下に定周期で総数演算を行なう。演算値が1を超えると、時系列ビットパターンの末尾に用意された補正ビット（RAM13a、

13bの最下位ビット）に“1”をセットする。

1ビット引出し部11は、RAMから最下位ビットを引出した後、このRAMの最下位ビットを“0”にリセットする。

40は時系列ビットパターンの1周期分が引き出されたときを検出し、時系列ビットパターン1周期完了フラグを立てるフラグ手段である。前記演算部26はこのフラグ入力により演算値から1だけ減算する。

このような構成における動作は次の通りである。なお、第4図は総数処理に係る動作フロー、第5図は時系列ビットパターンの補正の様子を示す説明図である。

マイクロプロセッサ20aは一定周期で温度入力に基づいて補正係数演算を行い、スケール定数を更新し、そのスケール定数の値から間引き用の時系列ビットパターン演算を行い、演算中のRAM

に順次格納してゆく。ここまでの動作は第1図の場合と同様であるが、時系列ビットパターン演算において一部違いがある。

第3図は本発明の他の実施例図で、基本的には第1図の実施例と同等であるが、以下のような改善点がある。

①第1図の実施例のものではRAMのビット数を補正係数の桁数の精度程度に大きくとも必要があり、そのために間引き用の時系列ビットパターンの演算に時間がかかるが、これを改善した。

②1つの計器で複数の再発信パルス出力をとる場合には、上記間引き用の時系列ビットパターンの演算が複数回行なわれマイクロプロセッサの負荷が重くなるが、これを改善した。

③RAMのビット数以下の桁数部分が誤差とならないように改善した。

第3図において、第1図と同様部分には同一符号を付し、その機能説明は省略する。マイクロプロセッサ20aにおいて、25は間引き時系列ビットパターン演算部24で求めた総数を分離して記憶する総数メモリ、26はメモリ25に格納された総数を演算する演算部であり、定周期制御部

Mに順次格納してゆく。ここまでの動作は第1図の場合と同様であるが、時系列ビットパターン演算において一部違いがある。

いま、スケール定数が0.32（有効桁数は簡単のため小数点以下2桁とする）であるとする。第1図の場合にはこのような小数点以下2桁のスケール定数であれば100ビットのビットパターンが必要とされるが、第3図の実施例の場合には第4図に示すように8ビットのパターンにして総数をメモリ25に分離記憶する。分離された総数は演算部26において時系列ビットパターン1周期ごとに定周期処理で加算され、演算値が1を超えると時系列ビットパターンの末尾に用意した補正ビット（最下位ビット）に“1”を立てて出力パルスの補正を行なう。

なお、この場合の間引き用の時系列ビットパターン生成の過程を第2表に示す。

セットされた補正ビットは、次の周期で補正ビットがパルス出力された後クリアされる（“0”にセットされる）。

特開平2-249308(5)

第 2 表
(スケール定数が 0.32 の場合)

入力パルス	前回端数残り	時系列間引き パターン
1 パルス目	0.32	0
2 パルス目	$0.32+0.32=0.64$	0
3 パルス目	$0.32+0.64=0.96$	0
4 パルス目	$0.32+0.96=1.28$	1
5 パルス目	$0.32+0.28=0.60$	0
6 パルス目	$0.32+0.60=0.92$	0
7 パルス目	$0.32+0.92=1.24$	1
8 パルス目	$0.32+0.24=0.56$	0
時系列ビットパターン 1 周期分の端数		補正ビット

なお、間引きの方式、使用中の RAM と演算中の RAM が交替バッファ的に動作する点については第 1 図の実施例の場合と同じである。

<発明の効果>

3 図は本発明の他の実施例を示す構成図、第 4 図は端数処理に係る動作フロー、第 5 図は第 3 図の装置における時系列ビットパターンの補正の様子を示す説明図、第 6 図は従来の再発信パルス発生装置の一例を示す構成図、第 7 は従来装置における動作のタイムチャートである。

10…ゲート、11…1ビット引出し部、12a、12b…スイッチ、13a、13b…メモリ、20、20a…マイクロプロセッサ、21…定周期制御部、22…補正係数演算部、23…スケール定数演算部、24…間引き時系列ビットパターン演算部、25…端数メモリ、26…演算部、30…温度変換部、40…フラグ手段。

以上詳細に説明したように、第 1 図に示す本発明によれば、

①間引き方式であるため出力パルスの遅れがなく、
②また、スケール係数の更新周期中に間引きパターン演算が終わればよくマイクロプロセッサにとっては大きな負担にならない
という効果がある。

また、第 3 図の実施例の発明では、上記の効果に加えて、

③時系列のビットパターンのビット数が少なくて済むため演算が速くなり、マイクロプロセッサの負担が軽くなると共に端数の積算は定周期処理であり負担が軽くて済み、

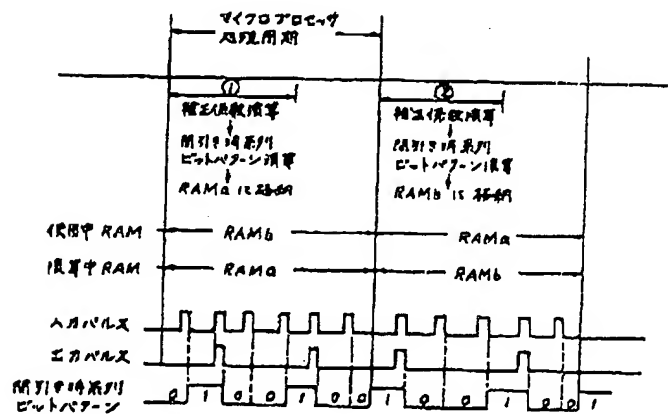
④端数部分も繰り越して処理しており、誤差にならない

という効果がある。

4. 図面の簡単な説明

第 1 図は本発明に係る再発信パルス発生装置の一例を示す構成図、第 2 図は第 1 図の装置における動作を説明するためのタイムチャート、第

第 2 図



代理人

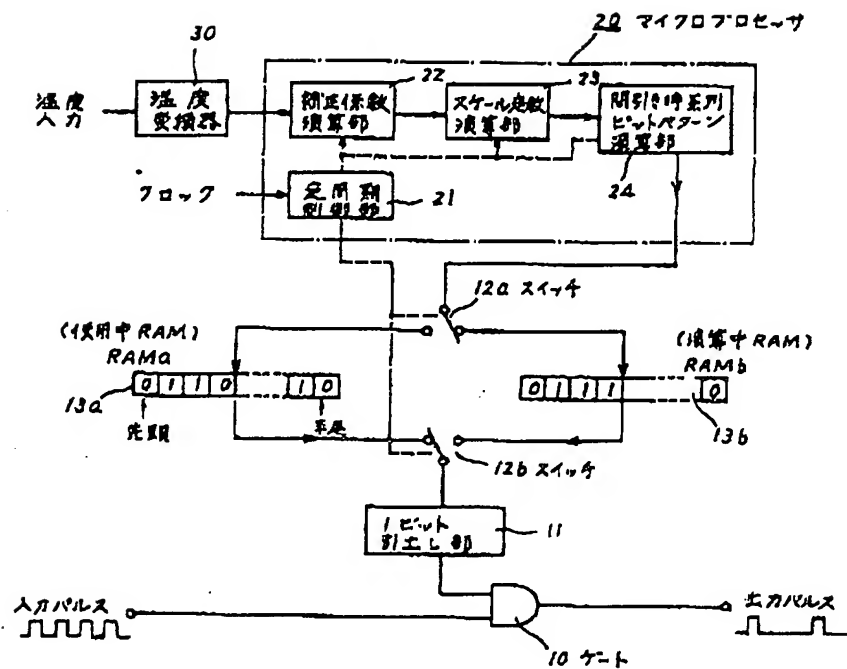
井原士

小沢

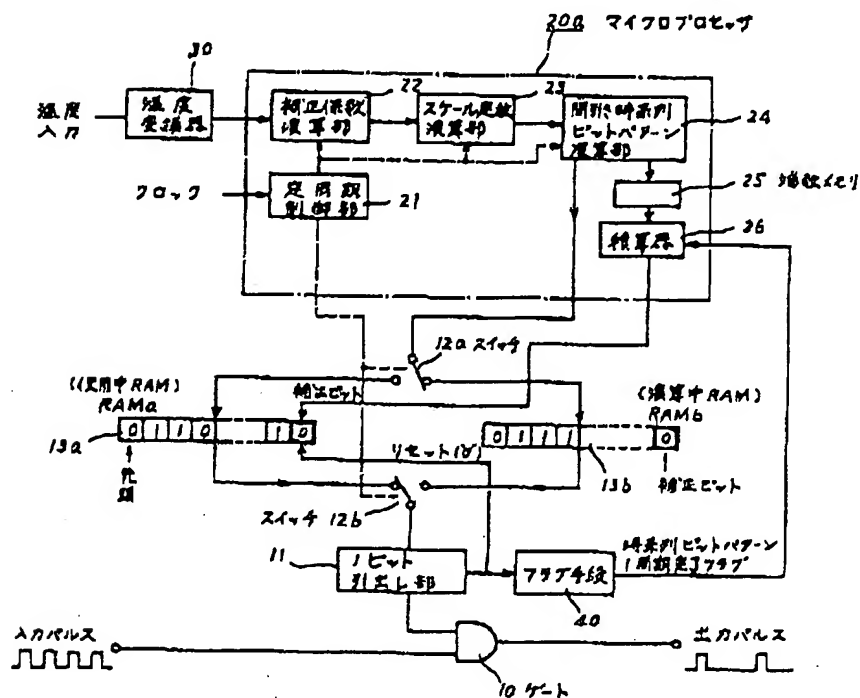


特開平2-249306(6)

第 1 図

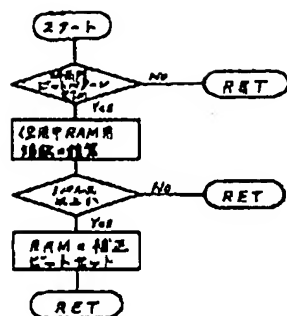


第 3 図

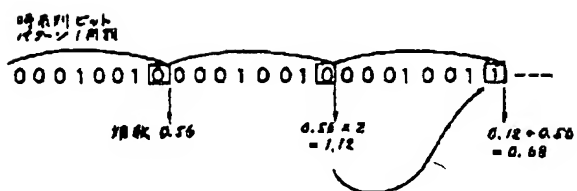


特開平2-249306(7)

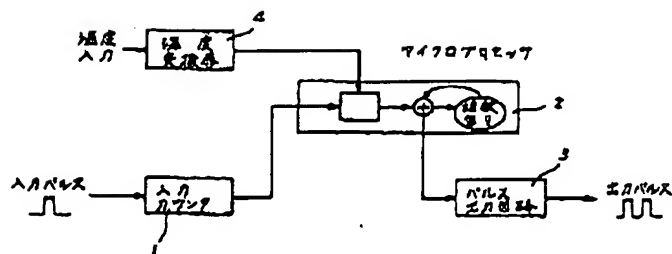
第 4 図



第 5 図



第 6 図



第 7 図

